

## תוכן העניינים:

|    |                                   |
|----|-----------------------------------|
| 2  | פרק 7                             |
| 2  | מבוא ללוגיקה סדרתית ויחידות זכרון |
| 2  | מבוא למערכות עקיבה:               |
| 2  | סיכום כללי:                       |
| 4  | רכיבי זכרון:                      |
| 4  | סיכום כללי:                       |
| 7  | שאלות:                            |
| 12 | תשובות סופיות:                    |
| 13 | שיקולי תזמון במערכות סדרתיות:     |
| 13 | סיכום כללי:                       |
| 14 | שאלות:                            |
| 14 | תשובות סופיות:                    |

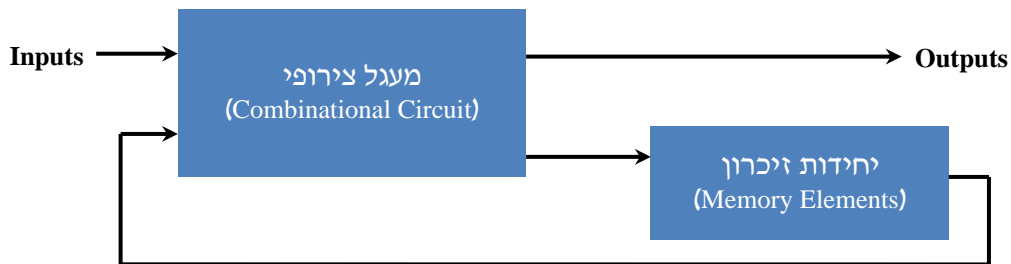
## פרק 7

# מבוא ללוגיקה סדרתית ויחידות זכרון

## מבוא למערכות עקיבה:

סיכום כללי:

מודל כללי של מעגל סדרתי / מערכת עקיבה (Sequential circuit):



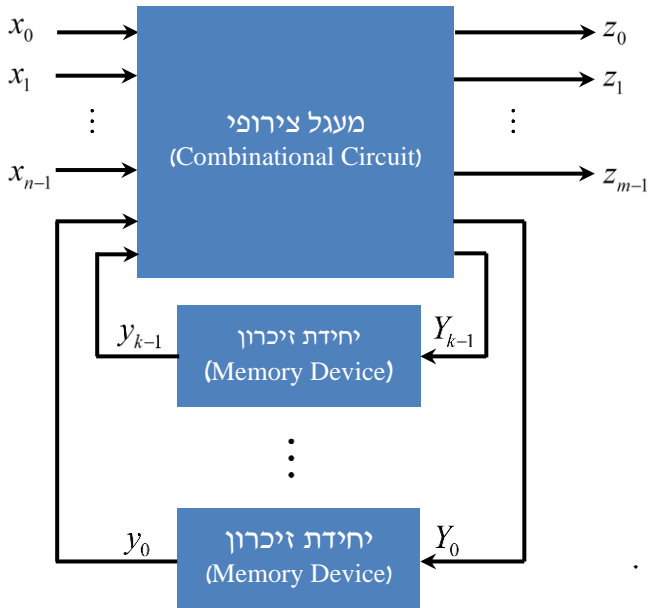
הגדרות כלליות:

- יחידות הזיכרון הינן רכיבים אשר מסוגלים לאחסן סיבית מידע אחת ליחידה.
- אוסף כל סיביות המידע שמאוחסנות בזמן מסוים נקרא בשם **מצב המעגל** (State).
  - המצב הנוכחי (Present State) (שיסומן ב- $t_n$ ), מוגדר להיות ערכי כל משתני הכניסה ויחידות הזיכרון בנקודת זמן מסוימת.
  - המצב הבא (Next State) (שיסומן ב- $t_{n+1}$ ) מוגדר להיות ערכי המשתנים שבמוצא יחידות הזיכרון.
  - משתני הכניסה נקראים בשם משתני מצב (State variables).
  - המעבר מהמצב הנוכחי למצב הבא נקרא בשם State transition.

הגדרה - מעגל סדרתי (Sequential circuit):

מעגל עם יחידת זיכרון (אחת או יותר) המקיימות רשת משוב, והוא מאופיין ע"י סדרת ערכי כניסה, סדרת ערכי מוצא והמצב הפנימי של יחידת/ות הזיכרון שלו.

**משוואות של מעגל סדרתי:**



נתון מעגל עם  $n$  משתני כניסה בלתי-תלויים (נקראים כניסות המעגל),  $m$  משתני מוצא (נקראים מוצאי המעגל), ו- $k$  יחידות זיכרון.

- משתני המצב הנוכחי:  $(y_0, \dots, y_{k-1})$ .
- משתני המצב הבא:  $(Y_0, \dots, Y_{k-1})$ .

משוואת המצב הבא:

$$Y_i = G_i(x_0, \dots, x_{n-1}, y_0, \dots, y_{k-1}), \quad i = 0, 1, \dots, k-1$$

משוואת המוצא:

$$z_i = F_i(x_0, \dots, x_{n-1}, y_0, \dots, y_{k-1}), \quad i = 0, 1, \dots, m-1$$

**סוגים של מעגלים סדרתיים:**

- מעגל סינכרוני (Synchronous circuit):  
מעגל שבו קיימים אותות חשמליים אשר מפעילים את רכיבי הזיכרון בפרקי זמן קבועים. פעולת הסנכרון מבוצעת ע"י רכיב שנקרא שעון (Clock generator). השעון מחובר לכל רכיבי הזיכרון ומפעיל אותם יחדיו בכל מחזור שלו. מעגלים מסוג זה נקראים גם: Clocked sequential circuits.
- מעגל א-סינכרוני (Asynchronous circuit):  
מעגל רכיבי הזיכרון ישנו את ערכם עם כל שינוי של משתני הכניסה. במעגל זה אין שעון ולכן אין סנכרון בין רכיבי הזיכרון, ולכן קיימת תלות ישירה בשינוי הערכים של משתני הכניסה.

למעגל אסינכרוני יש מספר בעיות:

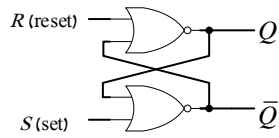
1. בהינתן ערך כניסה, יש לוודא כי המעגל מתייצב לפני הכניסה הבאה.
2. שינוי של יותר מסיבית אחת עלול לגרום למצבי מרוצים ופעילות לא תקינה של המעגל.
3. המעגל יכול להימצא במצבי סיכון בעקבות שינוי לא תקין של סיביות.

## רכיבי זכרון:

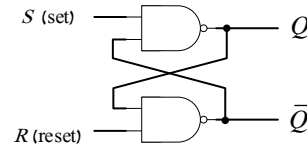
### סיכום כללי:

#### דלגלים א-סינכרוניים (Latches):

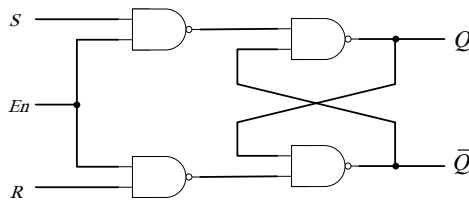
NOR SR-Latch



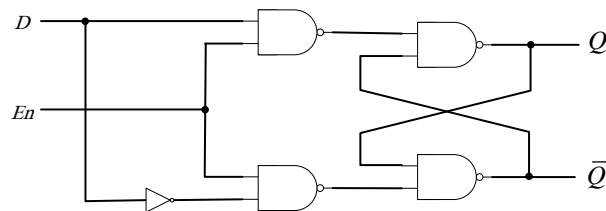
NAND SR-Latch



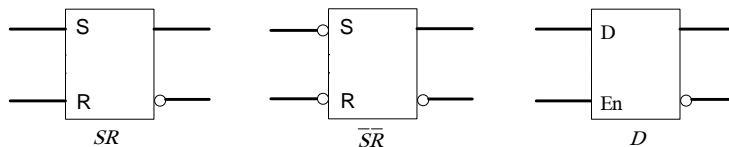
דלגלג : NAND SR Latch + En



דלגלג (+ En) : D-Latch



#### סמלים גרפיים של Latches :

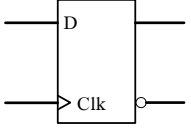


**דלגלים סינכרוניים (Flip Flops):**

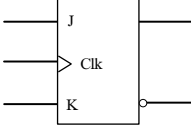
**דלגל מסוג SR-FF:**

| סמל לוגי  | משוואה אופיינית                | טבלה אופיינית |   | טבלת עירור |          |   |   |   |
|---|--------------------------------|---------------|---|------------|----------|---|---|---|
|   |                                | S             | R | $Q(t)$     | $Q(t+1)$ | S | R |   |
|  | $Q(t+1) = S\bar{R} + \bar{R}Q$ | 0             | 0 | $Q(t)$     | 0        | 0 | 0 | X |
|   |                                | 0             | 1 | 0          | 0        | 1 | 1 | 0 |
|   |                                | 1             | 0 | 1          | 1        | 0 | 0 | 1 |
|   |                                | 1             | 1 | אסור       | 1        | 1 | X | 0 |

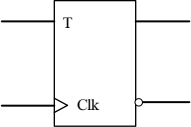
**דלגל מסוג D-FF:**

| סמל לוגי  | משוואה אופיינית | טבלה אופיינית |          | טבלת עירור |          |   |
|---|-----------------|---------------|----------|------------|----------|---|
|   |                 | D             | $Q(t+1)$ | $Q(t)$     | $Q(t+1)$ | D |
|  | $Q(t+1) = D$    | 0             | 0        | 0          | 0        | 0 |
|   |                 | 1             | 1        | 0          | 1        | 1 |
|   |                 | 1             | 0        | 1          | 0        | 0 |
|   |                 | 1             | 1        | 1          | 1        | 1 |

**דלגל מסוג JK-FF:**

| סמל לוגי  | משוואה אופיינית                | טבלה אופיינית |   | טבלת עירור   |          |   |   |   |
|---|--------------------------------|---------------|---|--------------|----------|---|---|---|
|   |                                | J             | K | $Q(t)$       | $Q(t+1)$ | J | K |   |
|  | $Q(t+1) = J\bar{Q} + \bar{K}Q$ | 0             | 0 | $Q(t)$       | 0        | 0 | 0 | X |
|   |                                | 0             | 1 | 0            | 0        | 1 | 1 | X |
|   |                                | 1             | 0 | 1            | 1        | 0 | X | 1 |
|   |                                | 1             | 1 | $\bar{Q}(t)$ | 1        | 1 | X | 0 |

**דלגל מסוג T-FF:**

| סמל לוגי  | משוואה אופיינית       | טבלה אופיינית |              | טבלת עירור |          |   |
|---|-----------------------|---------------|--------------|------------|----------|---|
|   |                       | T             | $Q(t+1)$     | $Q(t)$     | $Q(t+1)$ | T |
|  | $Q(t+1) = T \oplus Q$ | 0             | $Q(t)$       | 0          | 0        | 0 |
|   |                       | 1             | $\bar{Q}(t)$ | 0          | 1        | 1 |
|   |                       | 1             | 0            | 1          | 0        | 1 |
|   |                       | 1             | 1            | 1          | 1        | 0 |

### שלבי פתרון של שאלה עם דלגלגים:

ניתן לחלק את השאלות העוסקות בדלגלגים לשני סוגים:

1. שאלות אנליזה (יש לנתח מעגל עם דלגלג).
2. שאלות סינתזה/תכנון (יש לתכנן מעגל עם דלגלג).

### שלבי פתרון של שאלת אנליזה:

תיאור כללי:

בשאלה יינתן סרטוט עם דלגלג, לעיתים בתוספת לדיאגרמת זמנים / טבלה אופיינית / משוואה.

1. מציאת ביטוי בוליאני עבור משתני הכניסה לדלגלג כתלות במשתני הכניסה של המעגל.
2. כתיבת טבלה אופיינית של המעגל כולו (בהתבססות על הטבלה האופיינית של הדלגלג).
3. כתיבת משוואה אופיינית של המעגל (משוואת הפלט):  $Q(t+1) = f(\text{input variables}, Q(t))$ .

### שלבי פתרון של שאלת סינתזה:

תיאור כללי:

יש לתכנן מעגל סדרתי כלשהו העונה על צורך מסוים כגון טבלה אופיינית, משוואה אופיינית, תיאור מילולי וכו'.

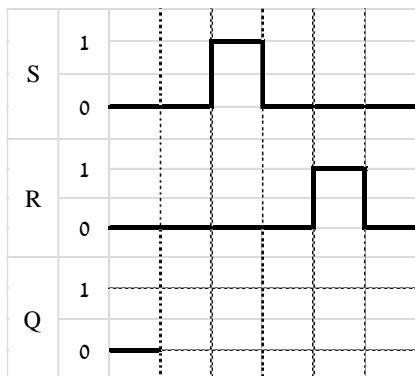
1. יש לקבל/ לכתוב טבלה אופיינית של תפקוד המעגל.
2. יש להמיר לטבלת עירור עבור המעגל.
3. מטבלת העירור ניתן לכתוב את משוואת הפלט:  $Q(t+1) = f(\text{input variables}, Q(t))$ .
4. במקרה של מימוש באמצעות דלגלג מסוים:
  - i. להשוות את טבלת העירור המתקבלת עם טבלת עירור של הדלגלג.
  - ii. מציאת הפונקציות הבוליאניות עבור משתני הכניסה לדלגלג כתלות במשתני הכניסה של המעגל ומשתני המצב הנוכחי (Present state)  $Q(t)$ .
  - iii. מימוש מעגל מתאים (סכמה לוגית).

### הערה:

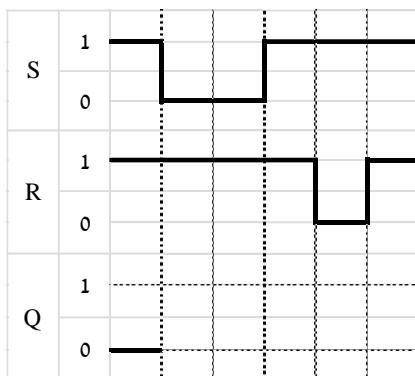
לאחר שמוצאים את המשוואות הבוליאניות עבור משתני הכניסה לדלגלג, ניתן לבדוק נכונות ולאמת ע"י הצבתם במשוואה האופיינית של הדלגלג וקבלת משוואת הפלט של המעגל.

### שאלות:

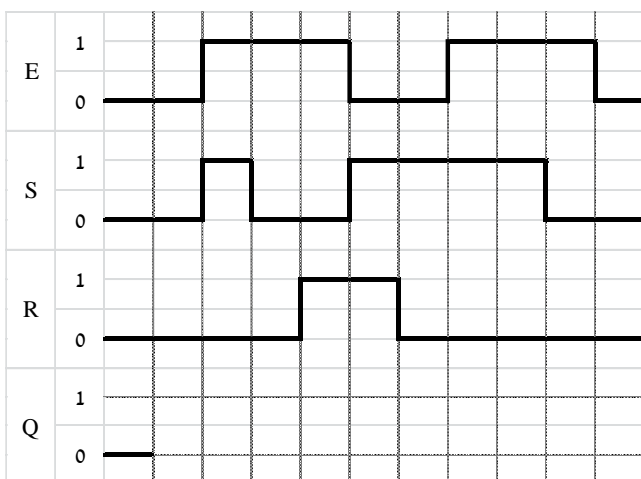
1) לפניך רכיבי זיכרון שונים ודיאגרמת זמנים חלקית. השלם את הדיאגרמה בכל מקרה לפי סוג הרכיב.



א. SR-Latch  
הבנוי משערי NOR.

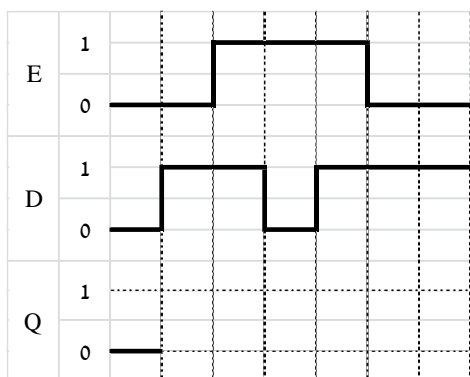


ב. SR-Latch  
הבנוי משערי NAND.

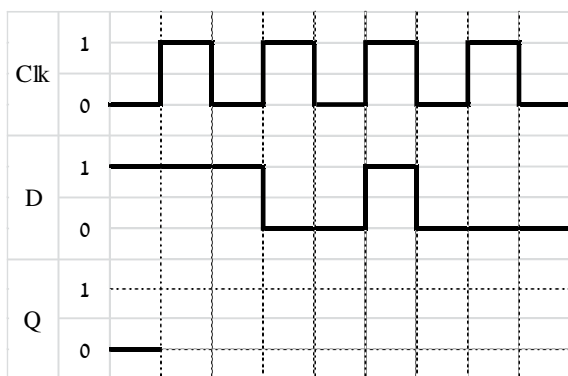


ג. SR-Latch הבנוי  
משערי NAND  
וסיבית Enb.

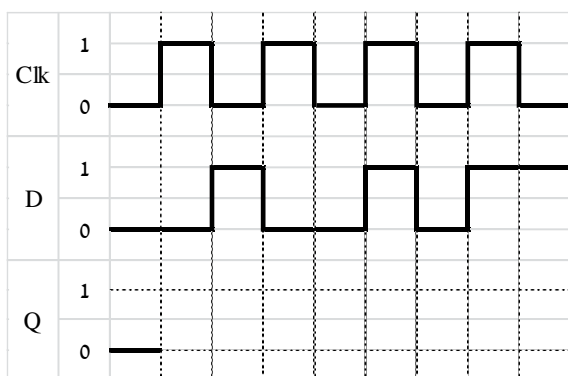
ד. D-Latch



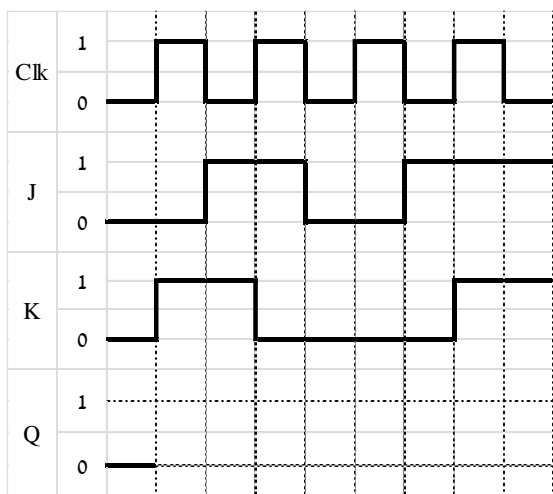
ה. D Flip-Flop שמגיב ב-Positive edge



ו. D Flip-Flop שמגיב ב-Negative edge

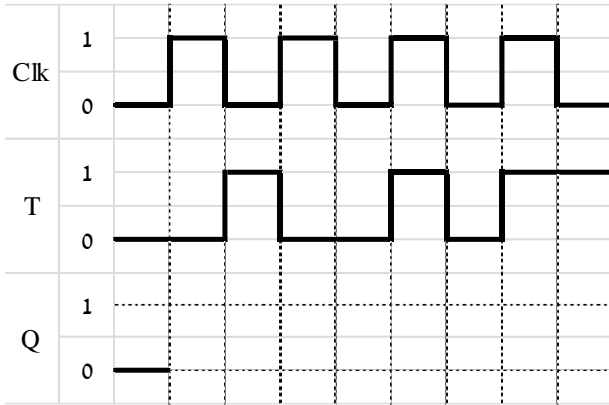


ז. JK-Flip-Flop



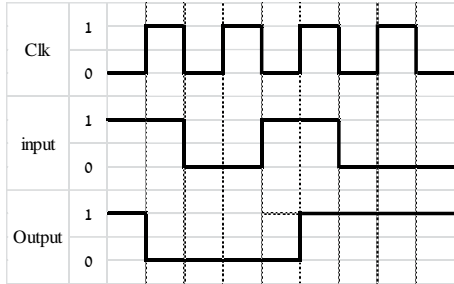


ח. T-Flip-Flop.

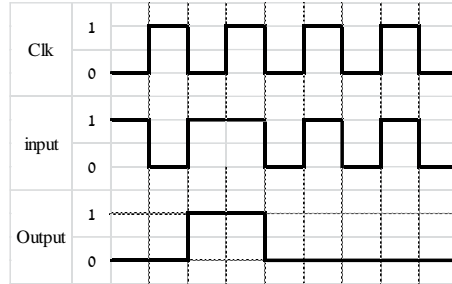


2) עבור הדיאגרמות הזמניות וערכי הכניסות והמוצא הבאים, קבע באיזה סוג של דלגלג מדובר.

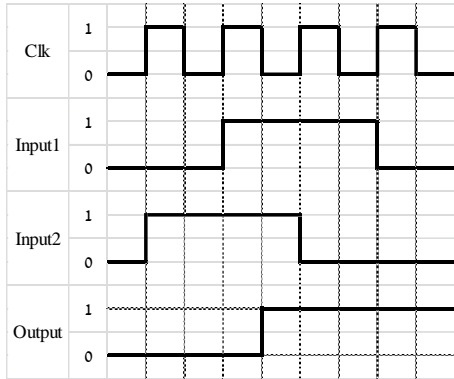
ב.



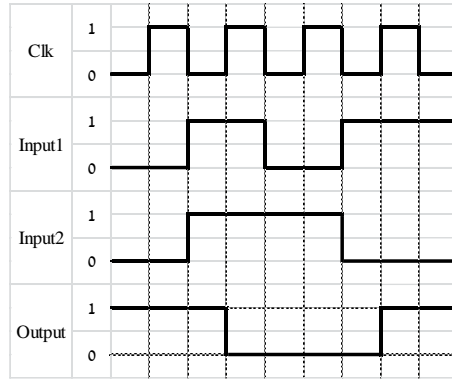
א.



ד.

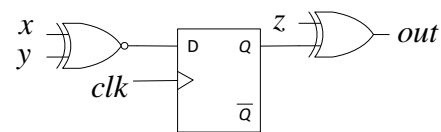
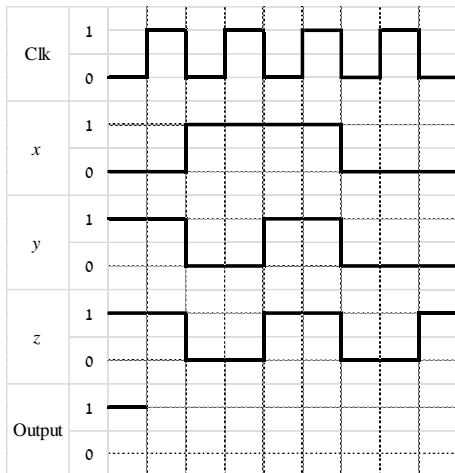


ג.

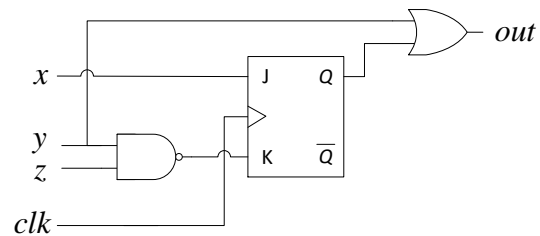
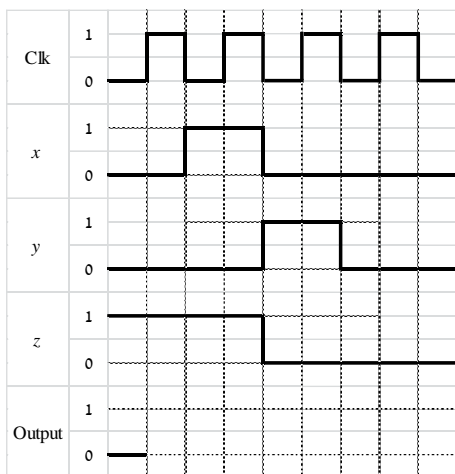


3) בכל אחת מהסכמות הלוגיות שלפניך מתוארים 3 אותות כניסה,  $x$ ,  $y$  ו- $z$  ודלגלג מסוג מסוים. נתונה דיאגרמת הזמנים הבאה וידוע כי רכיבי הזיכרון הם Positive edge (כלומר עובדים בדרבון עליית שעון). השלם את הדיאגרמה עבור כל מקרה והוסף את צורת אות המוצא.

א.



ב.



4) בשאלה זו נממש דלגלג מסוג  $\tilde{S}\tilde{R}$ -FF המבוסס על SR-FF אבל כאשר  $S = R = 1$  הוא יהיה במצב set.

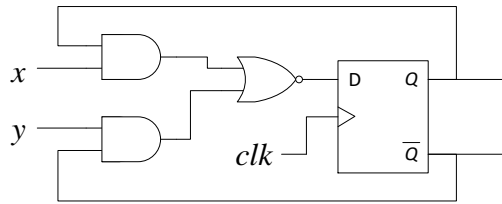
- כתוב טבלה אופיינית עבור  $\tilde{S}\tilde{R}$ -FF.
- כתוב טבלת עירור מתאימה עבור  $\tilde{S}\tilde{R}$ -FF.
- מהי משוואת הפלט (המשוואה האופיינית) של ה- $\tilde{S}\tilde{R}$ -FF?
- ממש את ה- $\tilde{S}\tilde{R}$ -FF באמצעות JK-FF.
- ממש את ה- $\tilde{S}\tilde{R}$ -FF באמצעות SR-FF.
- ממש את ה- $\tilde{S}\tilde{R}$ -FF באמצעות T-FF.

| A | B | Y         |
|---|---|-----------|
| 0 | 0 | $\bar{y}$ |
| 0 | 1 | 0         |
| 1 | 0 | 1         |
| 1 | 1 | y         |

5) נתונה טבלה אופיינית של דלגלג כלשהו AB-FF.

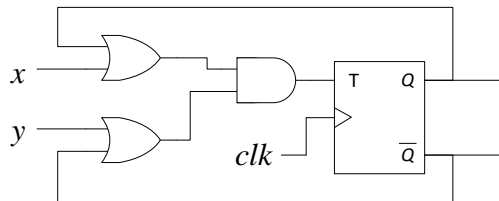
- א. כתוב טבלת עירור מתאימה ומשוואה אופיינית.
- ב. ממש את הדלגלג באמצעות SR-FF ושערי NOR בלבד.
- ג. ממש את הדלגלג באמצעות JK-FF ושערי AND ו-OR בלבד.
- ד. ממש דלגלג מסוג JK-FF באמצעות התקן הזיכרון AB-FF ושערים לוגיים מתאימים.

6) לדלגלג מסוג D-FF חיברו את השערים הבאים:



כתוב טבלה אופיינית ואת משוואת הפלט של המעגל.

7) לדלגלג מסוג T-FF חיברו את השערים הבאים:



כתוב טבלה אופיינית ואת משוואת הפלט של המעגל.

**תשובות סופיות:**

- (1) עיין בדיאגרמות הזמניות בסרטוני הוידאו.
- (2) א. D-FF. ב. T-FF. ג. JK-FF. ד. JK-FF.
- (3) עיין בדיאגרמות הזמניות בסרטוני הוידאו.
- (4) א. עיין טבלה בסרטון הוידאו. ב. עיין טבלה בסרטון הוידאו.  
ג.  $Q(t+1) = \tilde{S} + Q \cdot \bar{R}$ . ד-ו. עיין מימושים בסרטון הוידאו.
- (5) עיין בטבלאות והמימושים בסרטוני הוידאו.
- (6) עיין טבלה בסרטון הוידאו.  $Q(t+1) = \bar{x} \bar{y} + \bar{x}Q + \bar{y}\bar{Q}$ .
- (7) עיין טבלה בסרטון הוידאו.  $Q(t+1) = x\bar{Q} + \bar{y}Q$ .

## שיקולי תזמון במערכות סדרתיות:

### סיכום כללי:

#### זמן הזיהום ( $t_{CD}$ Contamination Delay):

זמן ההשהיה המינימלי בין השינוי הלוגי בערך כניסה ועד שערך המוצא הגיב ושינה את ערכו לראשונה.

#### זמן ההתקדמות ( $t_{PD}$ Propagation Delay):

זמן ההשהיה הכולל מהרגע שבו הכניסה הגיעה לערכה הלוגי החדש ועד שהמוצא התייצב על ערכו החדש.

#### זמן ה-Setup:

כדי להבטיח פעילות תקינה של דלגלג (בין אם latch ובין אם Flip Flop) יש לוודא כי כניסותיו יציבות בטרם הפעלתו. נגדיר פרק זמן מינימלי לפני הפעלת הדלגלג בו על הכניסות להתייצב. לפרק זמן זה קוראים: Setup Time ומסמנים אותו  $t_{SU}$ .

#### זמן ה-Hold:

היות והכניסות 'מחלחלות' בדלגלג עצמו, יש לוודא כי הן נשארות בערכן הלוגי במשך פרק זמן מסוים לאחר הפעלתו. לפרק זמן זה קוראים: Hold Time ומסמנים אותו  $t_H$ .

#### המשטר הסטטי והמשטר הדינאמי:

##### המשטר הסטטי:

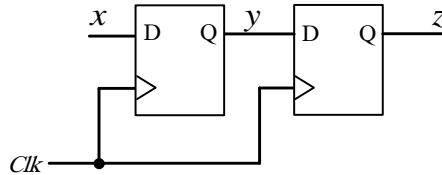
רכיבים צירופיים מתוכננים כך שבהינתן ערכי כניסה, עליהם להיות יציבים ותקינים למשך מספיק זמן (השהיית המעגל הכוללת) כדי שמוצא במעגל יתקבל ערך יציב ותקין.

##### המשטר הדינאמי:

מיושם במעגל סדרתי, המכיל חלק צירופי ורכיבי זכרון. יש לדרוש מחזור שעון ארוך מספיק שיאפשר לכל הערכים הלוגיים להתייצב למשך מספיק זמן.

שאלות:

- (1) מחברים שני D-FF מסוג positive edge triggered לשעון משותף כמתואר באיור. הנח כי הכניסות לרכיבי הזיכרון מתייצבות ונשמרות בפרקי הזמן  $t_{SU}$  ו-  $t_H$ .



- א. סרטט דיאגרמת זמנים המתארת לאחר כמה זמן מעליית השעון היציאות יתייצבו. בטא באמצעות  $t_{PD}$  את זמני המוצאים.  
 ב. כיצד הדבר ישתנה עם במקום 2 דלגלגים נחבר 3 דלגלגים?

- (2) נתון רכיב זיכרון המחובר לשעון ומגיב בעליית דרבון שעון. לרכיב הזיכרון כניסה אחת ויציאה אחת בלבד. תאר מה עשוי לקרות במוצא עבור כל אחד מהמקרים הבאים:  
 א. עליית השעון התרחשה זמן רב לאחר  $t_{SU}$ .  
 ב. הכניסה לרכיב התעדכנה במשך פרק זמן  $t_0 < t_{SU}$  לפני עליית השעון.  
 ג. הכניסה לרכיב משתנה עם עליית השעון במדויק.  
 ד. לאחר עליית שעון, הכניסה לרכיב משתנה בפרק זמן  $t_0 < t_H$ .

תשובות סופיות:

- (1) עיין בדיאגרמות הזמנים שבסרטון הוידאו.  
 (2) א. המצב תקין והמוצא יתייצב על ערכו החדש לאחר  $t_{PD}$  (אם הכניסה תוחזק במשך  $t_H$ ).  
 ב. אם הערך הספיק להגיע לערכו הלוגי הרצוי אז המוצא יתייצב לאחר  $t_{PD}$ .  
 ג. המוצא יישאר בערכו הקודם או שישתנה לערכו החדש לאחר פרק זמן הגדול מ-  $t_{PD}$ . משמעותית. הדבר הוא אקראי.  
 ד. המוצא יגיע למצב על-יציב (נקודת שיווי משקל רופפת) ויתייצב על 0 או 1 באופן אקראי לחלוטין התלוי ברעש המערכת.